



(Translation)

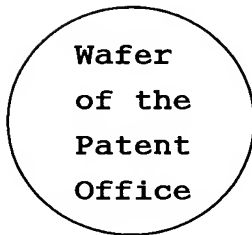
PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : May 26, 2003

Application Number : Patent Appln. No. 2003-148335

Applicant(s) : SHARP KABUSHIKI KAISHA



July 31, 2003

Yasuo IMAI

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3061301

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月26日
Date of Application:

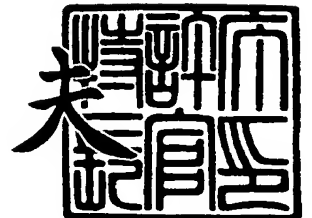
出願番号 特願2003-148335
Application Number:
[ST. 10/C]: [JP 2003-148335]

出願人 シャープ株式会社
Applicant(s):

2003年 7月31日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3061301

【書類名】 特許願

【整理番号】 03J00372

【提出日】 平成15年 5月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/00

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 安西 伸介

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 森 康通

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 田中 嗣彦

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100078282

 【弁理士】

 【氏名又は名称】 山本 秀策

【選任した代理人】

 【識別番号】 100062409

 【弁理士】

 【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【先の出願に基づく優先権主張】

【出願番号】 特願2002-221145

【出願日】 平成14年 7月30日

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208587

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 それぞれ 1 ビットのデータを記憶する複数のメモリセルが設けられた 2 値記憶領域および、それぞれ 2 ビット以上のデータを記憶する複数のメモリセルが設けられた多値記憶領域を有するメモリセルアレイと、

該 2 値記憶領域と多値記憶領域とで共通に設けられ、選択されたメモリセルからの電位と参照基準電位を比較して該選択メモリセルのデータを読み出すセンスアンプ手段とを備えた半導体記憶装置。

【請求項 2】 前記参照基準電位を、前記 2 値記憶領域からのデータ読み出し時と前記多値記憶領域からのデータ読み出し時に応じて切り替える第 1 切り替え手段とを備えた請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記センスアンプ手段による比較結果に基づいてビット数を変換してデータを読み出す際に、前記多値記憶領域からのデータ読み出し時と前記 2 値記憶領域からのデータ読み出し時に応じて該データの出力を切り替える変換手段を更に備えた請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 前記変換手段は 2 ビット以上の出力端を有し、前記 2 値記憶領域の読み出し時には全ビットを同じ値にして該出力端からデータ出力する請求項 3 に記載の半導体記憶装置。

【請求項 5】 前記メモリセルアレイに不良メモリセルが含まれる場合に、該不良メモリセルと置換される冗長セルと、

選択メモリセルから読み出されたデータと該冗長セルから読み出されたデータとが入力され、選択メモリセルが不良である場合に該選択メモリセルからの読み出しデータを該冗長セルからの読み出しデータに選択的に切り替えて出力する切り替え手段とを更に備えた請求項 1 ～ 4 の何れかに記載の半導体記憶装置。

【請求項 6】 前記 2 値記憶領域および多値記憶領域へのデータ書き込みまたはデータ消去をそれぞれ独立して制御可能とする書き込み・消去制御手段をさらに有し、

該書き込み・消去制御手段によって前記 2 値記憶領域および多値記憶領域の一

方にデータ書き込み動作またはデータ消去動作が行われている間に、前記センスアンプ手段によって他方の記憶領域に対して読み出し動作を可能とするように構成された請求項 1 ～ 5 の何れかに記載の半導体記憶装置。

【請求項 7】 前記 2 値記憶領域および多値記憶領域へのデータ書き込みまたはデータ消去をそれぞれ独立して制御可能とする書き込み・消去制御手段をさらに有し、

前記センスアンプ手段によって該 2 値記憶領域および多値記憶領域の一方に対して読み出し動作が行われている間に、該書き込み・消去制御手段によって他方の記憶領域に対してデータ書き込み動作またはデータ消去動作を可能とするように構成された請求項 1 ～ 5 の何れかに記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、同一チップ内で多値記憶領域と 2 値記憶領域とを設けた例えばフラッシュメモリなどの半導体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

従来、一般に、電子機器は、その動作を制御するための制御プログラムや音声・画像などの種々のデータを格納するための半導体記憶装置を備えている。

【 0 0 0 3 】

近年、文字データに加えて、画像データを容易に送受信可能な携帯電話サービスが行われるようになり、携帯電話装置に搭載されるフラッシュメモリの大容量化が進んでいる。また、BS デジタルチューナなどの STB (Set Top Box) においても、大容量のフラッシュメモリが搭載されている。その一方で、システム全体に占めるメモリ価格の比率が高まっており、より安価なメモリが求められている。

【 0 0 0 4 】

このような事情から、最近では、大容量メモリを低コストで提供するために、一つのメモリセルに 1 ビットの情報 (2 値データ) を記憶させるのではなく、2

ビット以上の情報（多値データ）を記憶させるという、メインメモリの多値化技術が進んでいる。例えば、一つのメモリセルに2ビットの情報（4値データ）を記憶させると、従来と同じメモリセルアレイの面積で2倍の容量のデータを記憶させることができる。このため、所定容量当たりで必要とされるコストを下げることができる。

【0005】

例えば特許文献1などには、高速アクセス用途において高い信頼性を確保するために、同一チップ内で多値記憶領域と2値記憶領域とを設けた半導体記憶装置が開示されている。

【0006】

この特許文献1の半導体記憶装置では、同一チップ内でメモリセルアレイを複数のブロック領域に分割して、各領域を4値記憶領域と2値記憶領域とに自由に設定することができるように構成されている。この場合、小容量ではあるが高速読み出しが可能な2値記憶領域には制御用プログラムなどを格納し、大容量の4値記憶領域には各種データを格納できるようになっている。

【0007】

この半導体記憶装置において、4値記憶領域からのデータ読み出しは、選択されたメモリセルに流れるセル電流を電流－電圧変換したセル電位と参照電位（リファレンス電圧）とを4値用センスアンプによって比較することによって行われる。また、2値記憶領域からのデータ読み出しは、選択されたメモリセルに流れるセル電流を電流－電圧変換したセル電位と参照電位とを2値用センスアンプによって比較することによって行われる。

【0008】

上記特許文献1の半導体記憶装置では、4値記憶領域に含まれるメモリセルからデータを読み出すための4値用センスアンプと、2値記憶領域に含まれるメモリセルを読み出すための2値用センスアンプとが個別に設けられている。

また、特許文献2には、複数の記憶領域（メモリブロック）を有する半導体記憶装置において、別々のメモリブロックに対して、消去と書き込みと読み出しなどの各メモリ動作のうちの2機能以上を同時に実行させる消去・書き込み・読み

出し制御部を設けた半導体記憶装置が開示されている。この消去・書き込み・読み出し制御部は、メモリ動作させるメモリブロックが消去動作中または書き込み動作中であるか否かを確認し、消去動作または書き込み動作を行っていないメモリブロックに対して情報の読み出し動作を行わせることができるようになっている。また、消去・書き込み・読み出し制御部は、メモリ動作させるメモリブロックが消去動作中であるか否かを確認し、消去動作を行っていないメモリブロックに対して書き込み動作を行わせることができるようになっている。また、消去・書き込み・読み出し制御部は、メモリ動作させるメモリブロックが書き込み動作中であるか否かを確認し、書き込み動作を行っていないメモリブロックに対して消去動作を行わせることができるようになっている。

【特許文献1】

特開 2001-202788 号公報

【特許文献2】

特開平 7-281952 号公報

【0009】

【発明が解決しようとする課題】

上記特許文献1に開示されている従来の半導体記憶装置では、4値記憶領域に含まれるメモリセルと2値記憶領域に含まれるメモリセルとを同時に読み出すことはできないため、一方のセンスアンプを用いてデータ読み出しを行っているときに、他方のセンスアンプは全く使用されず、無駄になっている。

【0010】

特に、例えばフラッシュメモリの使用者がメモリセルアレイの全領域を4値記憶領域または2値記憶領域に設定した場合には、フラッシュメモリ内に全く使用されない部分（2値用センスアンプまたは4値用センスアンプが設けられている部分）が存在することになり、半導体チップの占有面積の点でも、消費電力の点でも、大きな損失であるという問題を有している。

また、上記特許文献2には、複数の記憶領域（メモリブロック）において、読み出し動作と書き込み動作とを同時に行わせることができる半導体記憶装置が開示されているが、この従来技術は、2値記憶領域と多値記憶領域とについては記

載されておらず、同一チップ内に多値記憶領域と2値記憶領域とを有する半導体記憶装置に関するものではない。

【0011】

本発明は、上記従来の問題を解決するもので、同一チップ内に設けた多値記憶領域と2値記憶領域に対してセンスアンプを共通にしてメモリ動作を行うことにより、半導体チップの占有面積の点でも、消費電力の点でも有利な半導体記憶装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明の半導体記憶装置は、それぞれ1ビットのデータを記憶する複数のメモリセルが設けられた2値記憶領域および、それぞれ2ビット以上のデータを記憶する複数のメモリセルが設けられた多値記憶領域を有するメモリセルアレイと、

該2値記憶領域と多値記憶領域とで共通に設けられ、選択されたメモリセルからの電位と参照基準電位を比較して該選択メモリセルのデータを読み出すセンスアンプ手段とを備えており、そのことにより上記目的が達成される。

また、本発明の半導体記憶装置は、それぞれ1ビットのデータを記憶する複数のメモリセルが設けられた2値記憶領域および、それぞれ2ビット以上のデータを記憶する複数のメモリセルが設けられた多値記憶領域を有するメモリセルアレイと、2値記憶領域と多値記憶領域とで共通に設けられ、選択されたメモリセルからの電位と参照基準電位とを比較して選択メモリセルのデータを読み出すセンスアンプ手段と、参照基準電位を、2値記憶領域からのデータ読み出し時と多値記憶領域からのデータ読み出し時とに応じて切り替える第1切り替え手段とを備えており、そのことにより上記目的が達成される。

【0013】

また、好ましくは、本発明の半導体記憶装置において、センスアンプ手段による比較結果に基づいてビット数を変換してデータを読み出す際に、多値記憶領域からのデータ読み出し時と2値記憶領域からのデータ読み出し時とに応じてデータ出力を切り替える変換手段を更に備えている。

【0014】

本発明の半導体記憶装置は、それぞれ1ビットのデータを記憶する複数のメモリセルが設けられた2値記憶領域および、それぞれ2ビット以上のデータを記憶する複数のメモリセルが設けられた多値記憶領域を有するメモリセルアレイと、2値記憶領域と多値記憶領域とで共通に設けられ、選択されたメモリセルからの電位と参照基準電位を比較して選択メモリセルのデータを読み出すセンスアンプ手段と、このセンスアンプ手段による比較結果に基づいてビット数を変換してデータを読み出す際に、多値記憶領域からのデータ読み出し時と2値記憶領域からのデータ読み出し時とに応じてデータ出力を切り替える変換手段とを備えており、そのことにより上記目的が達成される。

【0015】

さらに、好ましくは、本発明の半導体記憶装置における変換手段は2ビット以上の出力端を有し、2値記憶領域の読み出し時には全ビットを同じ値にして出力端からデータ出力する。

【0016】

さらに、好ましくは、本発明の半導体記憶装置において、メモリセルアレイに不良メモリセルが含まれる場合に、この不良メモリセルと置換される冗長セルと、選択メモリセルから読み出されたデータと冗長セルから読み出されたデータとが入力され、選択メモリセルが不良である場合に選択メモリセルからの読み出しデータを冗長セルからの読み出しデータに選択的に切り替えて出力する切り替え手段とを更に備えている。

さらに、好ましくは、本発明の半導体記憶装置において、前記2値記憶領域および多値記憶領域へのデータ書き込みまたはデータ消去をそれぞれ独立して制御可能とする書き込み・消去制御手段をさらに有し、該書き込み・消去制御手段によって前記2値記憶領域および多値記憶領域の一方にデータ書き込み動作またはデータ消去動作が行われている間に、前記センスアンプ手段によって他方の記憶領域に対して読み出し動作を可能とするように構成されている。

また、好ましくは、本発明の半導体記憶装置において、前記2値記憶領域および多値記憶領域へのデータ書き込みまたはデータ消去をそれぞれ独立して制御可能とする書き込み・消去制御手段をさらに有し、前記センスアンプ手段によって

該 2 値記憶領域および多値記憶領域の一方に対して読み出し動作が行われている間に、該書き込み・消去制御手段によって他方の記憶領域に対してデータ書き込み動作またはデータ消去動作を可能とするように構成されている。

【0017】

上記構成により、以下、本発明の作用について説明する。

【0018】

本発明の半導体記憶装置においては、メモリセルアレイに多値記憶領域と 2 値記憶領域との二つの領域が設けられており、多値記憶領域に含まれるメモリセルからのデータ読み出し時と 2 値記憶領域に含まれるメモリセルからのデータ読み出し時とで、共通のセンスアンプ手段に入力される参照電位を第 1 切り替え手段で切り替えることによって、読み出し経路を共通化することができる。これによって、従来の半導体記憶装置のように、多値用センスアンプ手段と 2 値用センスアンプ手段とを個別に設ける必要がなく、無駄な領域をなくして半導体チップの占有面積の点でも消費電力の点でも有利であり、製造コストをも削減することができる。

【0019】

センスアンプ手段による比較結果は、変換手段によって、多値記憶領域からのデータ読み出し時と 2 値記憶領域からのデータ読み出し時とで切り替えて、多値または 2 値の読み出しデータに変換することができる。

【0020】

上記変換手段には、2 ビット以上の出力を有し、2 値記憶領域の読み出し時に全ての出力ビットを同じ値として出力する第 2 切り替え手段を設けることが好ましい。

【0021】

例えば、4 値記憶領域と 2 値記憶領域とを有する半導体記憶装置において、2 値記憶領域の読み出し時には、センスアンプ手段からの 3 ビット出力のうち、有意な出力レベルは 1 ビットだけであるため、変換回路では、センスアンプ手段からの 3 ビット出力を 2 ビット信号に変換する際に、その 2 ビット信号を有意な 1 ビットの出力レベルと等しくする。このことによって、最も簡単な回路構成によ

って2値データに変換することができると共に、回路検証に必要な時間をも削減できる。

【0022】

さらに、冗長セルを設けて、4値記憶領域または2値記憶領域に不良メモリセルが含まれている場合に、第3切り替え手段によって不良メモリセルからの読み出しデータを冗長セルからの読み出しデータに切り替えることも可能である。

また、本発明の半導体記憶装置にあっては、2値記憶領域と多値記憶領域とを有するメモリセルアレイにおいて、2値記憶領域および多値記憶領域へのデータ書き込み・消去をそれぞれ独立して制御する書き込み・消去制御手段を有し、書き込み・消去制御手段によって一方の記憶領域にデータ書き込み動作または消去動作が行われている間に、センスアンプ手段によって他方の記憶領域から読み出し動作を行うことができる。このことによって、動作速度を速めると共に、回路検証に必要な時間を短縮化することができる。

また、本発明は、同一チップ内に多値記憶領域と2値記憶領域とを有する半導体記憶装置において、一方の記憶領域への書き込み・消去動作時に他方の記憶領域への読み出し動作を行って動作速度を速くすることができる半導体記憶装置を提供することを目的とする。

【0023】

【発明の実施の形態】

以下に、本発明の半導体記憶装置の実施形態をフラッシュメモリに適用した場合について図面を参照しながら説明する。

【0024】

(実施形態1)

図1は、本発明の半導体記憶装置の実施形態1であるフラッシュメモリの構成例を示すブロック図であり、図2は、図1のフラッシュメモリにおけるメモリセルアレイ20の要部を示す回路図である。なお、本実施形態1では、読み出し動作に関する部分についてのみ説明を行っており、書き込み回路、消去回路、これらの制御回路などについては、ここではその説明を省略している。

【0025】

図1において、このフラッシュメモリ1は、データ記憶が可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイ2と、4値記憶領域21および2値記憶領域22のそれぞれのビット線を選択するカラムデコーダ3と、ブロックを選択するブロック選択回路4と、4値記憶領域21および2値記憶領域22それぞれのワード線を選択するロウデコーダ5とを有している。

【0026】

また、フラッシュメモリ1は、信号線11m0～11m31を介して選択セル電圧を入力するセンスアンプ手段としての通常セル用センスアンプ6mと、通常セル用センスアンプ6mに接続される変換回路7mと、変換回路7mに接続されるラッチ回路8mと、信号線11r0および11r1を介して冗長セル電圧を入力するセンスアンプ手段としての冗長セル用センスアンプ6rと、冗長セル用センスアンプ6rに接続される変換回路7rと、変換回路7rに接続されるラッチ回路8rと、ラッチ回路8m、8rの出力を選択するマルチプレクサMUX9と、マルチプレクサMUX9からの各出力端子を持つ出力パッド10と、冗長アドレス記憶回路15と、冗長判定回路16と、制御回路17と、リファレンスセル18と、切り替え回路19とを有している。

【0027】

このメモリセルアレイ2は、図2に示すように、例えば、複数のメモリセルCELL11～CELL44が縦横方向にマトリクス状に設けられている。メモリセルアレイ2に含まれる各メモリセルCELLのゲートは行単位で共通にワード線WL1～WL4と接続されており、各メモリセルCELLのドレインは列単位で共通にビット線BL1～BL4と接続されている。また、ワード線WL1～WL4とビット線BL1～BL4とは、互いに直交するように設けられている。また、各メモリセルCELLのソースは、ブロック単位で共通化されて共通ソース線SRCに接続されている。

【0028】

各メモリセルCELLは、互いに隣接するメモリセルCELLとそのドレイン同士が接続されてビット線BLと接続され、そのソース同士が互いに接続されて共通ソース線SRCと接続されている。例えばメモリセルCELL11、CELL

L21は、各ドレイン同士が接続されて、それらのドレインがビット線BL1と接続されている。また、メモリセルCELL21, CELL31とは、ソース同士が接続されて、それらのソースが共通ソース線SRCと接続されている。また、メモリセルCELL31, CELL41とは、ドレイン同士が接続されて、それらのドレインがビット線BL1と接続されている。各ビット線の先には、カラムデコーダ回路などが接続されている。

【0029】

本実施形態1では、このメモリセルアレイ2には、4値（2ビット）のデータが記憶される4値記憶領域21と、2値（1ビット）のデータが記憶される2値記憶領域22とが設けられている。4値記憶領域21は、メインメモリ領域に設けられていることによって、大容量化と低コスト化とを両立させることができる。また、2値記憶領域22は、例えばフラッシュメモリ1内のOTP（OneTime Programmable）領域に設けることによって、高い信頼性を確保することができる。

【0030】

また、メモリセルアレイ2には、例えばワード線のショートなどによって不良状態となったメモリセルCELL（通常セル）を置き換えるために、上記メモリセルCELLと同様の予備のメモリセル（以下、冗長セルと称する）が設けられている。

【0031】

図3は、図1の4値記憶領域21と2値記憶領域22とを有するメモリセルアレイ2の概略構成図である。

【0032】

図3において、このメモリセルアレイ2では、4値記憶領域21および2値記憶領域22のそれぞれは、一つまたは複数のメモリセルブロックによって構成されており、それぞれのブロックは通常セル領域と冗長セル領域とによって構成されている。

【0033】

また、4値記憶領域21であるメインメモリ領域に含まれるメモリセル（通常

セル) からデータを読み出す際に用いるセンスアンプと、2 値記憶領域 22 である OTP 領域に含まれるメモリセル (通常セル) からデータを読み出す際に用いるセンスアンプとして、通常セル用センスアンプ 6m (S/A0~S/A31) が共通に設けられている。通常セル用センスアンプ 6m では、選択されたメモリセル (通常セル) に流れるセル電流を電流-電圧変換したセル電圧 (ビット線の電位) と、リファレンスセル 18 に流れるセル電流を電流-電圧変換した参照電位 (リファレンス電圧) $V_{ref0} \sim V_{ref2}$ とが比較されて電位差が増幅出力される。

【0034】

これと同様に、4 値記憶領域 21 に含まれる冗長セルからデータを読み出す際に用いるセンスアンプと、2 値記憶領域 22 に含まれる冗長セルからデータを読み出す際に用いるセンスアンプとして、冗長セル用センスアンプ 6r (RS/A0 および RS/A1) が共通に設けられている。冗長セル用センスアンプ 6r では、選択された冗長セルに流れるセル電流を電流-電圧変換したセル電圧と、リファレンスセル 18 に流れるセル電流を電流-電圧変換した参照電位 $V_{ref0} \sim V_{ref2}$ とが比較されて電位差が増幅出力される。上記通常セル用センスアンプ 6m のそれぞれと、冗長セル用センスアンプ 6r のそれぞれとは、全く同じ構成の回路であり、レイアウトも同じである。

【0035】

リファレンスセル 18 は、上記メモリセル (通常セル) と同様の構成を有するメモリセルを複数含んでおり、それぞれのリファレンスセルによって予めメモリセルのしきい値電圧値が設定されている。それらのリファレンスセルに流れるセル電流が電流-電圧変換された電位が参照電位 (リファレンス電圧) として出力される。リファレンスセルからの参照電位 (参照基準電位) は、第 1 切り替え手段として設けられている切り替え回路 19 を介して、センスアンプ 6m および 6r に入力される。

【0036】

切り替え回路 19 はマルチプレクサなどによって構成されており、切り替え回路 19 には制御回路 17 からの識別信号 MLCB が入力されている。2 値記憶領

域 2 2 からのデータ読み出し時と、4 値記憶領域 2 1 からのデータ読み出し時とで識別信号 MLCB を切り替えることによって、センスアンプ 6 m および 6 r に入力される参照電位を最適な参照電位に切り替え可能としている。これによって、同一のセンスアンプ 6 m, 6 r を用いて、4 値データの読み出しと 2 値データの読み出しとの両方に対応することができる。

【0037】

センスアンプ 6 m からの 3 ビット出力は、変換回路 7 m (7 m 0 ~ 7 m 3 1) によって 2 ビットの信号に変換され、ラッチ回路 8 m (8 m 0 ~ 8 m 3 1) によってラッチされる。同様に、センスアンプ 6 r からの 3 ビット出力は、変換回路 7 r (7 r 0 および 7 r 1) によって 2 ビットの信号に変換され、ラッチ回路 8 r (8 r 0 および 8 r 1) によってラッチされる。上記変換回路 7 m および 7 r は同じ構成の回路であり、ラッチ回路 8 m および 8 r も同じ構成の回路である。

【0038】

図 4 は、図 1 の変換回路 7 m, 7 r の構成例を示す回路図である。

【0039】

図 4 において、この変換回路 7 m (または 7 r) は、インバータと NOR 回路とを組み合わせた回路構成を有しており、センスアンプ 6 m (または 6 r) からの 3 ビット出力 (比較結果 s o u t 0 ~ s o u t 2) と、制御回路 1 7 からの識別信号 MLCB とが入力される。識別信号 MLCB は、4 値記憶領域からのデータ読み出し時と 2 値記憶領域からのデータ読み出し時とで切り替えられて入力されるようになっており、例えば 4 値記憶領域 2 1 からのデータ読み出し時には、MLCB = " 0 " が制御回路 1 7 から入力され、o u t 1 = s o u t 1 となる。また、o u t 0 は、s o u t 1 = " 1 " のときに o u t 0 = s o u t 0 となり、s o u t 1 = " 0 " のときに o u t 0 = s o u t 2 となる。また、2 値記憶領域 2 2 からのデータ読み出し時には、MLCB = " 1 " が制御回路 1 7 から入力され、o u t 1 = o u t 0 = s o u t 1 が出力される。

【0040】

また、不良メモリセルのアドレス情報が記憶される冗長アドレス記憶回路 1 5 と、冗長アドレス記憶回路 1 5 に記憶されている不良メモリセルのアドレスと現

在选择されている内部アドレス（内部カラムアドレスおよび内部ブロックアドレス）とを比較して、冗長セルを用いるか否かを判定する冗長判定回路 16 が設けられている。冗長判定回路 16 による判定結果は制御回路 17 に供給される。

【0041】

ラッチ回路 8m および 8r の出力は、第 3 切り替え手段（切り替え手段）として設けられているマルチプレクサ MUX 9 に入力されると、制御回路 17 からの制御信号によって、複数入力の中の 하나가 唯一の出力として選択されて出力パッド 10 に出力されるようになっている。

【0042】

以上の構成により、以下、本実施形態 1 のフラッシュメモリ 1 の読み出し動作について説明する。

【0043】

まず、アドレスをデコードしてメモリセルのワード線を駆動するロウデコーダ 5、アドレスをデコードしてメモリセルのビット線を駆動するカラムデコーダ 3 およびブロックを選択するブロック選択回路 4 によって、この例では、通常セル 32 個 + 冗長セル 2 個の合計 34 個の同一ブロック内のメモリセルが同時に選択されて活性化される。

【0044】

このうち、2 個の冗長セルの各ビット線にそれぞれ接続されている信号線 11r0 および 11r1 を介して冗長セル用センスアンプ 6r（RS/A0 および RS/A1）に接続されている。この 2 個の冗長セルは、32 個の通常セルの各ビット線にそれぞれ接続されている信号線 11m0 ~ 11m31 を介してセンスアンプ 6m（S/A0 ~ S/A31）に接続される 32 個の通常セルの何れかが不良のときに、それに置き換えられるために用意されている。なお、この冗長セルは、3 個以上設けられていてもよい。

【0045】

このとき、選択されたメモリセル（通常セルおよび冗長セル）に流れるセル電流は、信号線 11m0 ~ 11m31、11r0 および 11r1 を介してセル電圧としてセンスアンプ 6m および 6r に入力され、それぞれ参照電位 V_{ref0} ~

V r e f 2 と比較される。

【0046】

ここまでの動作は、4 値記憶領域 2 1 からデータを読み出す場合および 2 値記憶領域 2 2 からデータを読み出す場合ともに同様である。

【0047】

次に、センスアンプ 6 m および 6 r によるセンス動作以降の信号の流れを、4 値記憶領域 2 1 からデータを読み出す場合と、2 値記憶領域 2 2 からデータを読み出す場合とに分けて、図 1 および図 5 を用いて説明する。

【0048】

図 5 は、図 1 のセンスアンプ 6 m 0 以降の読み出し経路を取り出した回路構成例を示すブロック図である。なお、MUX E は偶数出力パッド I/O (図 1 に示す出力パッド D Q 2 i、i = 0、1、2 . . . 7) に接続されるマルチプレクサ 9 を表し、MUX O は奇数出力パッド I/O (図 1 に示す出力パッド D Q 2 i + 1、i = 0、1、2 . . . 7) に接続されるマルチプレクサ 9 を表す。

【0049】

まず、4 値記憶領域 2 1 からデータを読み出す場合について説明する。

【0050】

4 値記憶領域 2 1 の通常セルから信号線 1 1 m 0 を介してセンスアンプ 6 m に入力された信号電圧 V c e l 1 (通常セルのビット線の電位) は、リファレンスセル 1 8 から切り替え回路 1 9 を介してセンスアンプ 6 m に入力されている参照電位 V r e f 0、V r e f 1 および V r e f 2 とそれぞれ比較され、3 ビットの信号 s o u t [2 : 0] として出力される。ここでは、3 個のリファレンスセルによって予めメモリセルのしきい値電圧値が設定されているものとする。

【0051】

図 5 では、センスアンプ 6 m 0 における 3 個のセンスアンプ S/A 6 0 ~ 6 2 それぞれの一方の入力端子には、データ読み出しのために選択されたメモリセルのビット線に接続されている信号線 1 1 m 0 が接続されている。センスアンプ S/A 6 0 (出力が s o u t 0) の他方の入力端子には、第 1 のリファレンスセル (図示せず) に流れるセル電流により発生した参照電位 (リファレンス電圧) V

ref 0が入力され、信号線 11m0 の電位（セル電位）と参照電位 Vref 0 との大小をセンスアンプ S/A 60 で比較した結果が出力 s o u t 0 として出力される。

【0052】

また同様に、センスアンプ S/A 61（出力が s o u t 1）の他方の入力端子には、第2のリファレンスセル（図示せず）に流れるセル電流により発生した参照電位 Vref 1が入力され、信号線 11m0 の電位と参照電位 Vref 1 との大小をセンスアンプ S/A 61 で比較した結果が出力 s o u t 1 として出力される。また、センスアンプ S/A 62（出力が s o u t 2）の他方の入力端子には、第3のリファレンスセル（図示せず）に流れるセル電流により発生した参照電位 Vref 2が入力され、信号線 11m0 の電位と参照電位 Vref 2 との大小をセンスアンプ S/A 62 で比較した結果が出力 s o u t 2 として出力される。

【0053】

例えば、図6に示すように参照電位 Vref 0、Vref 1 および Vref 2 を、それぞれ、データ" 11"、" 10"、" 01"、" 00" のそれぞれに対応する四つのしきい値電圧 Vt が分布している領域の隙間に設定することによって、メモリセルのしきい値電圧値 Vt が、その格納データとして" 11"、" 10"、" 01"、" 00" の四つの状態の何れにあるのかを判定することが可能となる。なお、図6において、横軸にメモリセルのしきい値電圧 Vt を表し、縦軸にメモリセルの個数を表している。

【0054】

各センスアンプ S/A 60～S/A 62 でセル電圧と参照電位とを比較した結果である信号 s o u t [2:0]（s o u t 0～2 の出力は、それぞれ1ビットであり、比較結果によりロウレベル" 0" またはハイレベル" 1" が出力されている。）は、変換回路7でエンコードされて2ビットのデータ出力 o u t [1:0]（4 値のデータ）として読み出される。

【0055】

例えば、図4に示す変換回路7では、MLCB=" 0" が制御回路17から入力され、o u t 1=s o u t 1となる。また、o u t 0は、s o u t 1=" 1"

のときに $out\ 0 = sout\ 0$ となり、 $sout\ 1 = "0"$ のときに $out\ 0 = sout\ 2$ となる。したがって、信号 ($sout\ 2$ 、 $sout\ 1$ 、 $sout\ 0$) が ("0"、"0"、"0") および ("0"、"0"、"1") のときには ($out\ 1$ 、 $out\ 0$) は ("0"、"0") となる。また、信号 ($sout\ 2$ 、 $sout\ 1$ 、 $sout\ 0$) が ("0"、"1"、"1") および ("1"、"1"、"1") のときには ($out\ 1$ 、 $out\ 0$) は ("1"、"1") となる。また、信号 ($sout\ 2$ 、 $sout\ 1$ 、 $sout\ 0$) が ("0"、"1"、"0") および ("1"、"1"、"0") のときには ($out\ 1$ 、 $out\ 0$) は ("1"、"0") となる。また、信号 ($sout\ 2$ 、 $sout\ 1$ 、 $sout\ 0$) が ("1"、"0"、"0") および ("1"、"0"、"1") のときには ($out\ 1$ 、 $out\ 0$) は ("0"、"1") となる。このように変換回路 7 によって、センスアンプ 6m から出力される 3 ビットデータを 2 ビットデータに変換することができる。

【0056】

以上では、信号線 11m の電位を参照電位と比較することによって、一つのメモリセルからのデータを 4 値データとして読み出す信号の流れについて説明したが、同時に読み出される他のメモリセルからのデータ (信号線 11m1 ~ 11m31、11r0 および 11r1 の電位) についても、同様に読み出すことができる。

【0057】

このようにして読み出されたデータは、ラッチ回路 8m (8m0 ~ 8m31) または 8r (8r0 および 8r1) によってラッチされ、マルチプレクサ 9 で選択されたデータが出力パッド 10 (DQ0 ~ DQ15) から出力される。

【0058】

図 1 および図 5 に示すように、ラッチ回路 8m から出力される 2 ビットの信号のうち、偶数ビットは偶数出力パッド I/O に接続されたマルチプレクサ MUX (以下、偶数マルチプレクサと称する) の一つに入力され、奇数ビットは奇数出力パッド I/O に接続されたマルチプレクサ MUX (以下、奇数マルチプレクサと称する) の一つに入力されている。また、ラッチ回路 8r から出力される 2 ビ

ットの信号は、偶数ビット（ $r0_0$ および $r1_0$ ）が全ての偶数マルチプレクサに入力され、奇数ビット（ $r0_1$ および $r1_1$ ）が全ての奇数マルチプレクサに入力されている。

【0059】

不良メモリセルの位置は、各フラッシュメモリ 1 毎に異なるため、上述したようにラッチ回路 8 とマルチプレクサ 9 とを接続することによって、全ての偶数マルチプレクサおよび奇数マルチプレクサにおいて、通常セルからの読み出しデータを冗長セルからの読み出しデータと置換することができるように構成している。

【0060】

通常セルのデータを冗長セルのデータに置き換えて、マルチプレクサ 9 から出力パッド 10 を介して出力するか否かという判定は、冗長判定回路 16 によって行われる。例えば、信号線 11m0 に接続されているメモリセルが不良である場合には、そのアドレスを予め冗長アドレス記憶回路 15 に記憶させておき、読み出し時に冗長アドレス記憶回路 15 に記憶されているアドレスと内部カラムアドレス（内部ブロックアドレスも含む。）を冗長判定回路 16 で比較する。その比較結果が一致していれば、一致信号を制御回路 17 に出力する。制御回路 17 では、一致信号が入力されると、そのアドレスのメモリセルを不良セルと判定し、マルチプレクサ 90 および 91 に対して、ラッチ回路 8m からの信号（ $p0_0 \sim p3_15$ ）の代りにラッチ回路 8r からの冗長信号（ $r0_0 \sim r1_1$ ）を選択して出力パッド 10 を介して出力するように制御信号を出力する。

【0061】

ここで、ラッチ回路 8r0 からの冗長信号 $r0_ [1:0]$ とラッチ回路 8r1 からの冗長信号 $r1_ [1:0]$ の何れを使用するかについては、不良セルアドレスを記憶する際に、同時に冗長アドレス記憶回路 15 に記憶させておくことができる。これによって、制御回路 17 は、その情報を利用して、冗長信号を選択するための制御信号をマルチプレクサ 90, 91 に出力することができる。

【0062】

次に、2 値記憶領域 22 からのデータ読み出しについて説明する。ここでは、

4 値記憶領域 21 からのデータ読み出しと異なる部分について説明する。

【0063】

4 値記憶領域 21 からのデータ読み出しおよび 2 値記憶領域 22 からのデータ読み出しは、何れも、同じセンスアンプ 6m (6m0 ~ 6m31) および 6r (6r0、6r1) が用いられるが、このとき、参照電位 $V_{ref0} \sim V_{ref2}$ は、切り替え回路 19 によって、例えば図 7 に示すように 2 値読み出し用に切り替えられる。この例では、参照電位 V_{ref1} がデータ "1" および "0" のそれぞれに対応する二つのしきい値電圧 V_t が分布している領域の間隙に設定されており、 V_{ref0} および V_{ref2} はそれぞれ、 V_{ref1} の両側に設定されている。この参照電位 V_{ref1} によって、メモリセルのしきい値電圧値 V_t が、その格納データとして "1" および "0" の二つの状態の何れにあるのかを判定することが可能となる。なお、図 7 において、横軸はメモリセルのしきい値電圧 V_t を、縦軸はメモリセルの個数を表している。切り替え回路 19 は、マルチプレクサなどによって、入力される参照電位を 4 値読み出し用参照電位と 2 値読み出し用参照電位とを切り替えることができる。

【0064】

ここで、2 値のデータを記憶しているメモリセルからデータを読み出す場合には、図 7 に示すように、メモリセルのしきい値電圧 V_t が、その格納データとして "1" または "0" の二つの状態の何れかにあるのかを判定すればよい。このため、読み出されるメモリセルのデータ (セル電位) を参照電位 V_{ref1} と比較すれば十分であり、 V_{ref0} および V_{ref2} はどのようなレベルであってもよい。但し、4 値記憶領域 21 の読み出し時に設定するものと同一として、予め用意しておく参照電位の数を最小限とすることが望ましい。

【0065】

実際は、図 7 の右側は図 6 の右側よりスケールの小さいため、2 値記憶領域は 4 値記憶領域より高信頼性を得ることが可能である。

【0066】

また、例えば 4 値記憶領域 21 からデータ読み出しを行う場合と、2 値記憶領域 22 からデータ読み出しを行う場合とで、 V_{ref1} の値を調整する必要がある。

る場合には、上記第1のリファレンスセル～第3のリファレンスセルとは別に、予めしきい値電圧を調整しておいた第4のリファレンスセルを設けて、切り替え回路19によってこの第4のリファレンスセルからの出力と切り替えることによって、調整された参照電位をセンスアンプに供給することができる。

【0067】

4値データであるか、または2値データであるかを識別するための識別信号MLCBは、例えば、制御回路17によって、内部アドレスから、4値記憶領域21からデータを読み出しているのか、2値記憶領域22からデータを読み出しているのかを識別することによって生成することができる。また、メモリセルに格納するデータ内に4値データであるのか、または2値データであるのかを識別するための識別データを記憶させておき、読み出されたデータ内の識別データによって、制御回路17で4値データであるのか、または2値データであるのかを識別して識別データを生成することもできる。さらに、他の方法によって識別信号MLCBを生成してもよい。

【0068】

このようにして、読み出されたセンスアンプ出力 $sout[2:0]$ は、変換回路7によって2ビットの信号 $out[1:0]$ に変換される。このとき、 $Vref0$ 、 $Vref2$ は、上述したように意味を持たない参照電位であるので、センスアンプ出力 $sout[2:0]$ のうち、有意なデータは $sout1$ のみである。このため、変換回路7では、図4に示すような回路構成によって、2値記憶領域22の読み出し状態を示す $MLCB="1"$ が制御回路17から入力されると、多ビット出力の全てのビットを同じ値として出力する第2切り替え手段として動作し、 $out1=out0=sout1$ が出力されるようにする。したがって、 $sout0$ および $sout2$ がどのような値であっても、 $sout1$ が"0"のときには $out1=out0="0"$ となり、 $sout1$ が"1"のときには $out1=out0="1"$ となる。

【0069】

なお、2値記憶領域22の読み出し時には、 $out1$ または $out0$ のどちらか一方のみが必要であり、他方はどのようなデータであってもよく、例えば Vs

sなどが出力されてもよい。しかしながら、2値記憶領域22の不良セルを冗長セルと置き換える場合を考えると、上述したように $out1=out0$ とすることによって、共通となる変換回路、ラッチ回路、マルチプレクサ回路等を削減することが可能となることから、回路面積を削減して最も簡単な変換回路を構成することができる。

【0070】

以上により、本実施形態1によれば、2値記憶領域22からのデータ読み出し時と、4値記憶領域21からのデータ読み出し時とで、共通のセンスアンプ6mに入力される参照電位を、切り替え手段19によって切り替える。変換手段7mは、センスアンプ6mからの比較結果を読み出しデータに変換する際に、4値記憶領域21からの読み出し時と2値記憶領域22からの読み出し時とで、読み出しデータを切り替えて出力する。2値記憶領域22の読み出し時には、センスアンプ6mからの3ビット出力のうち、有意な出力レベルは1ビットだけであるため、変換回路7mでは、センスアンプ6mからの3ビット出力を2ビット信号に変換する際に、その2ビット信号を有意な1ビットの出力レベルと等しくする。これによって、同一チップ内に設けた多値記憶領域と2値記憶領域に対してセンスアンプを共通にしてメモリ動作を行うことができる。

【0071】

なお、上記実施形態1では、特に説明しなかったが、上記実施形態とは別の実施形態のフラッシュメモリ1Aとして、4値記憶領域21からデータ読み出しを行う場合と2値記憶領域22からデータ読み出しを行う場合とで、 V_{ref1} の値を調整する必要がない場合、即ち、図5に示す参照電位 V_{ref1} と図7に示す参照電位 V_{ref1} とを同じ値に設定されていれば、4値の場合でも2値の場合でも参照電位 V_{ref1} をそのまま使用することができる。このため、図8に示すように図1の切り替え回路19を省略して、センスアンプ6の後段の変換回路7により、センスアンプ6による比較結果に基づいてビット数を変換してデータを読み出す際に、多値記憶領域（ここでは4値記憶領域）からのデータ読み出し時と2値記憶領域からのデータ読み出し時とに応じてデータ出力を切り替えるように構成すればよい。これによって、上記実施形態1同様に、同一チップ内に設け

た多値記憶領域と2値記憶領域に対してセンスアンプ6を共通にしてメモリ動作を行うことができる。また、上記実施形態1と同様に、変換回路7（変換手段）は、2値記憶領域の読み出し時には全ビットを同じ値にして出力端からデータ出力するように構成する。

（実施形態2）

上記実施形態1では、2値記憶領域と多値記憶領域とでセンスアンプ手段を共用してデータ読み出し動作を行う場合について説明したが、本実施形態2では、2値記憶領域と多値記憶領域とを有するメモリセルアレイにおいて、2値記憶領域および多値記憶領域へのデータ書き込み動作または消去動作を、一方の記憶領域に行っている間に、センスアンプ手段によって他の記憶領域からデータ読み出し動作を行う場合である。

図9は、本発明の半導体記憶装置のさらに他の実施形態2であるフラッシュメモリの構成例を示すブロック図である。なお、この場合に、図1に示すフラッシュメモリと同じ機能を有する部分については、同じ符号を付してその説明を省略する。

図9において、このフラッシュメモリ1Bは、上記実施形態1のフラッシュメモリ1の場合と同様に、データ記憶が可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイ2と、4値記憶領域21および2値記憶領域22のそれぞれのビット線を選択してそれぞれに独立して電圧を印加するカラムデコーダ3-1および3-2と、ブロック（2値記憶領域および4値記憶領域）を選択するブロック選択回路4と、4値記憶領域21および2値記憶領域22のそれぞれのワード線を選択してそれぞれに独立して電圧を印加するロウデコーダ5-1および5-2とを有している。さらに、フラッシュメモリ1Bは、カラムデコーダ3-1および3-2に接続された、書き込み制御手段としての書き込み制御回路20を有している。書き込み制御は、カラムデコーダ3-1、3-2をそれぞれ介してビット線に正電圧を供給し、ロウデコーダ5-1、5-2をそれぞれ介してワード線に正の高電圧を印加する。

また、フラッシュメモリ1Bは、フラッシュメモリの消去制御の場合、消去制御回路23からソーススイッチ24、25をそれぞれ介して2値・多値領域内の

各ブロックの共通ソース線に正電圧を印加し、多値領域の4値記憶領域21および2値記憶領域22それぞれのローデコーダ5-1, 5-2をそれぞれ介してワード線に負電圧を印加する。以上の書き込み制御手段としての書き込み制御回路20と、消去制御手段としての消去制御回路23およびソーススイッチ24, 25とにより書き込み・消去制御手段を構成することができる。

このように、消去制御と書き込み制御とでは、用いる構成要素が異なる。

一方、フラッシュメモリ1Bは、上記実施形態1のフラッシュメモリ1の場合と同様に、信号線11m0~11m31を介して選択セル電圧を入力するセンスアンプ手段としての通常セル用センスアンプ6mと、通常セル用センスアンプ6mに接続される変換回路7mと、変換回路7mに接続されるラッチ回路8mと、信号線11r0および11r1を介して冗長セル電圧を入力するセンスアンプ手段としての冗長セル用センスアンプ6rと、冗長セル用センスアンプ6rに接続される変換回路7rと、変換回路7rに接続されるラッチ回路8rと、ラッチ回路8m, 8rの出力を選択するマルチプレクサMUX9と、マルチプレクサMUX9からの各出力端子を持つ出力パッド10と、冗長アドレス記憶回路15と、冗長判定回路16と、制御回路17と、リファレンスセル18と、切り替え回路19とを有している。

上記構成により、書き込み制御回路20から出力される書き込みデータは、カラムデコーダ3-1および3-2に入力される。例えば2値記憶領域22にデータが書き込まれている間に、4値記憶領域21からデータを読み出すことができる。この場合、書き込み制御回路20によって、書き込みデータが2値記憶領域22のカラムデコーダ3-2に入力されている間に、4値記憶領域21からデータが読み出され、カラムデコーダ3-1およびブロック選択回路4を通過して信号線11m0~11m31に出力される。信号線11m0~11m31に出力されたデータは、通常セル用センスアンプ6mに入力され、データの読み出し動作が行われる。

また同様に、4値記憶領域21にデータが書き込まれている間に、2値記憶領域22からデータを読み出すこともできる。この場合、書き込み制御回路20によって、書き込みデータが4値記憶領域21のカラムデコーダ3-1に入力され

ている間に、2 値記憶領域 22 からデータが読み出され、カラムデコーダ 3-2 およびブロック選択回路 4 を通って信号線 11m0～11m31 に出力される。信号線 11m0～11m31 に出力されたデータは、通常セル用センスアンプ 6m に入力され、データの読み出し動作が行われる。

これと同様に、4 値記憶領域 21 のデータ消去が行われている間に、2 値記憶領域 22 からデータを読み出すこともでき、2 値記憶領域 22 のデータ消去が行われている間に、4 値記憶領域 21 からデータを読み出すこともできる。もちろん、4 値記憶領域 21 のデータ消去が行われている間に、2 値記憶領域 22 からデータを書き込むこともでき、2 値記憶領域 22 のデータ消去が行われている間に、4 値記憶領域 21 からデータを書き込むこともできる。

このように、データ書き込み動作と読み出し動作とを別々の記憶領域に対して行うために、書き込み制御回路 20 によって、各記憶領域に対して書き込み動作が行われているか否かが確認され、その確認情報が制御回路 17 に伝えられて、データ書き込み動作が行われていない記憶領域において、データの読み出し動作が行われる。データ消去動作と読み出し動作とを別々の記憶領域に対して行う場合も、データ書き込み動作と読み出し動作とを別々の記憶領域に対して行う場合と同様に、消去制御回路 23 およびソーススイッチ 24, 25 を用いて行うことができる。

なお、図 9 には図示していないが、特許文献 2 に開示されているように、カラムデコーダ 3-1 および 3-2 と書き込み制御回路 20 とを接続する信号線にラッチ回路を挿入して、そのラッチ回路に各記憶領域の動作状態を保持させるようにしてもよい。また、カラムデコーダ 3-1 および 3-2 と書き込み制御回路 20 とを接続する信号線を、読み出し用に用いられる信号線とは別に設けて、セレクト回路によって信号線を選択するようにしてもよい。

また、複数の記憶領域に対して、書き込み動作と読み出し動作とを同時に実行可能とするためには、動作させる記憶領域に書き込み・消去動作が行われているか否かを確認する必要があるが、その確認処理は、書き込み制御回路 20 や消去制御回路 23 によっても行われ得る。

【0072】

【発明の効果】

以上により、本発明によれば、同一チップ内に多値記憶領域（例えば4値記憶領域）と2値記憶領域との二種類の記憶領域を設けて、多値記憶領域に含まれるメモリセルからデータを読み出すときと2値記憶領域に含まれるメモリセルからデータを読み出すときに共通のセンスアンプ手段に入力される参照電位を第1切り替え手段で切換えることによって、読み出し経路を共通化し、多値記憶領域と2値記憶領域とで専用に設けられ、一方が使用中には他方が使用されない無駄なセンスアンプ手段の領域をなくして半導体記憶装置の省面積化、省電力化および製造コストの低廉化を図ることができる。

【0073】

また、2値記憶領域からのデータ読み出し時に、変換回路において、センスアンプからの多ビット出力を全て、有意な1ビットの出力レベルと等しくすることによって、最も簡単な回路構成によって2値データを取得できると共に、回路検証に必要な時間をも削減できる。

さらに、2値記憶領域および多値記憶領域の一方にデータ書き込み・消去動作が行われている間に、他方に対してデータ読み出し動作を行うことができるため、動作速度を速めると共に、回路検証に必要な時間を短縮化することができる。

【図面の簡単な説明】**【図1】**

本発明の半導体記憶装置の一実施形態であるフラッシュメモリの構成例を示すブロック図である。

【図2】

図1のフラッシュメモリにおけるメモリセルアレイの要部を示す回路図である。

【図3】

図1の4値記憶領域21と2値記憶領域22とを有するメモリセルアレイ2の概略構成図である。

【図4】

図1の変換回路の構成例を示す回路図である。

【図 5】

図 1 のセンスアンプ 6 m 0 以降の読み出し経路を取り出した回路構成例を示すブロック図である。

【図 6】

4 値データを記憶しているメモリセルの閾値分布とそのデータを読み出す際の参照電位との関係を示す図である。

【図 7】

2 値データを記憶しているメモリセルの閾値分布とそのデータを読み出す際の参照電位との関係を示す図である。

【図 8】

本発明の半導体記憶装置の他の実施形態であるフラッシュメモリの構成例を示すブロック図である。

【図 9】

本発明の半導体記憶装置の実施形態 2 であるフラッシュメモリの構成例を示すブロック図である。

【符号の説明】

- 1、1 A、1 B フラッシュメモリ
- 2 メモリセルアレイ
- 2 1 4 値記憶領域
- 2 2 2 値記憶領域
- 3、3-1、3-2 カラムデコーダ
- 4 ブロック選択回路
- 5、5-1、5-2 ロウデコーダ
- 6、6 0～6 2 センスアンプ
- 6 m、6 m 0～6 m 3 1 通常セル用センスアンプ
- 6 r、6 r 0、6 r 1 冗長セル用センスアンプ
- 7 変換回路
- 7 m、7 m 0～7 m 3 1 通常セル用変換回路
- 7 r、7 r 0、7 r 1 冗長セル用変換回路

8 ラッチ回路

8 m、8 m 0 ~ 8 m 3 1 通常セル用ラッチ回路

8 r、8 r 0、8 r 1 冗長セル用ラッチ回路

9、9 0、9 1 マルチプレクサ

1 0 出力パッド

1 1 m 0 ~ 1 1 m 3 1、1 1 r 0、1 1 r 1 フラッシュメモリセルとセン

スアンプとを接続する信号線

1 5 冗長アドレス記憶回路

1 6 冗長判定回路

1 7 制御回路

1 8 リファレンスセル

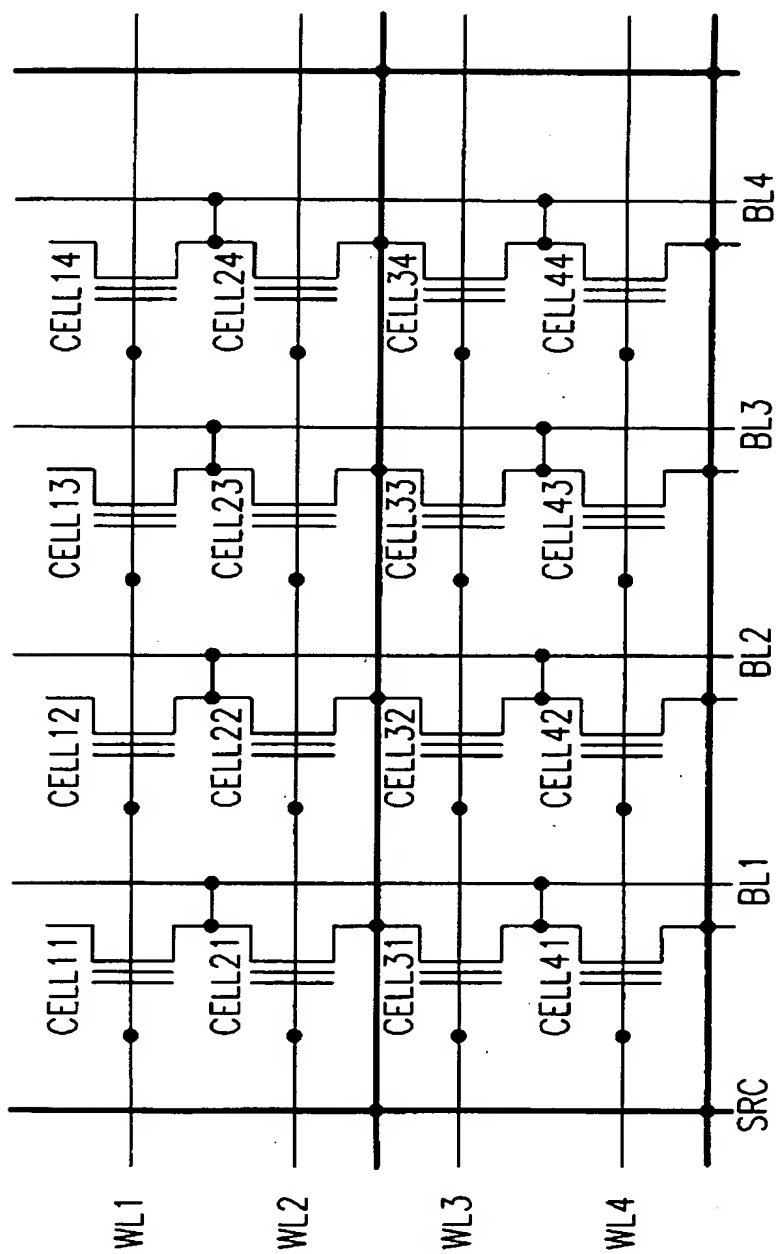
1 9 切り替え回路

2 0 書き込み制御回路

2 3 消去制御回路

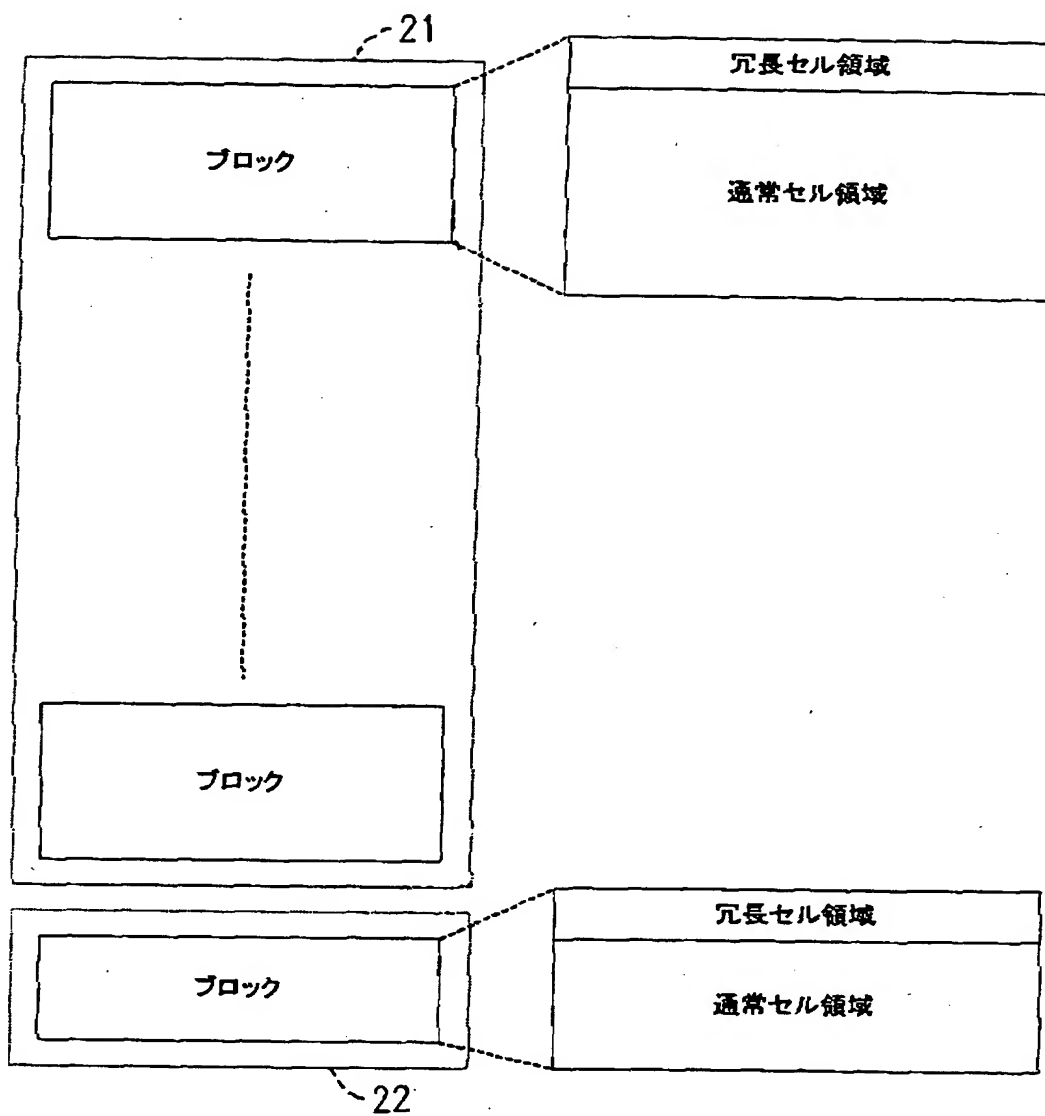
2 4、2 5 ソーススイッチ

【図 2】



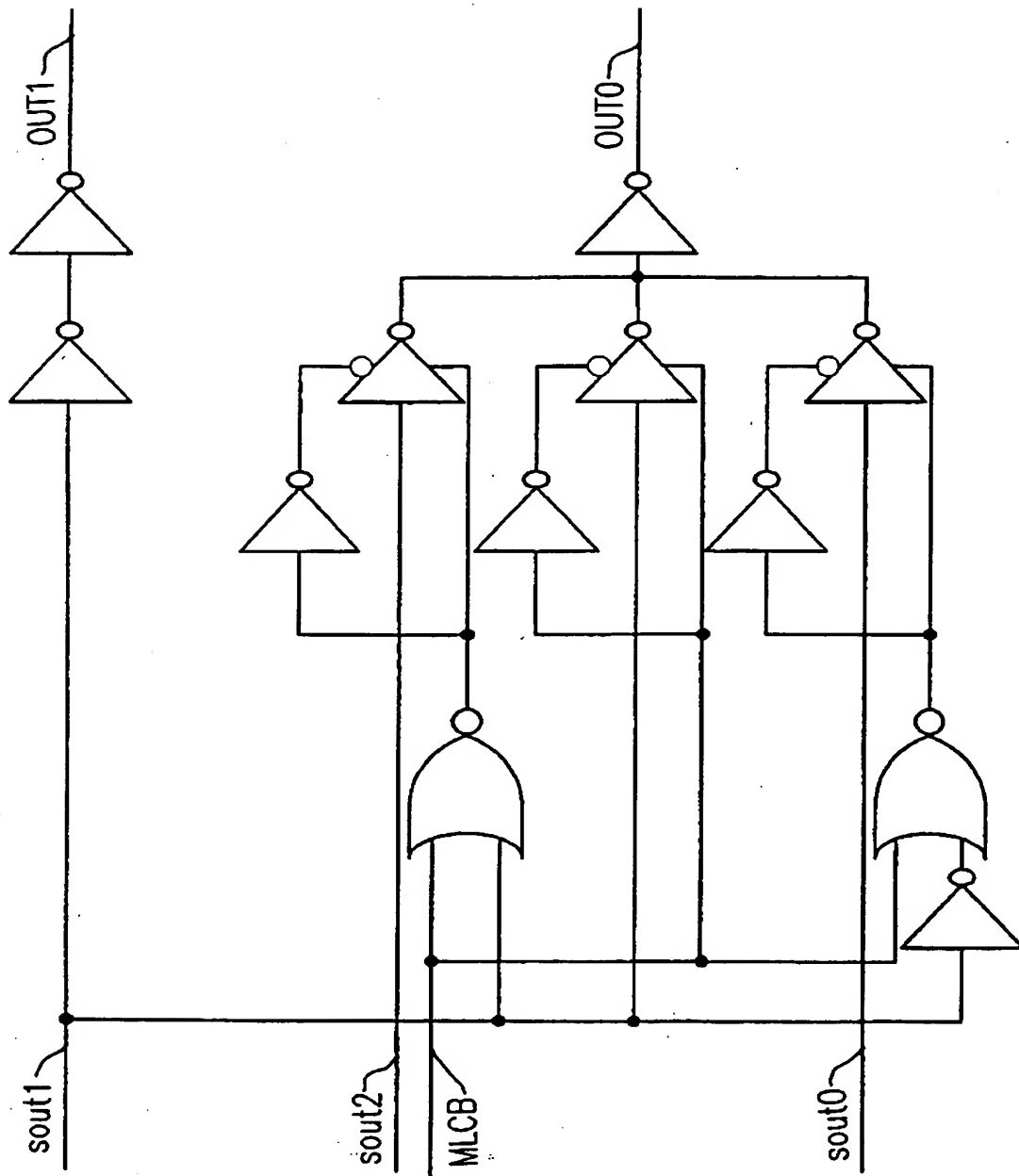
2

【図 3】

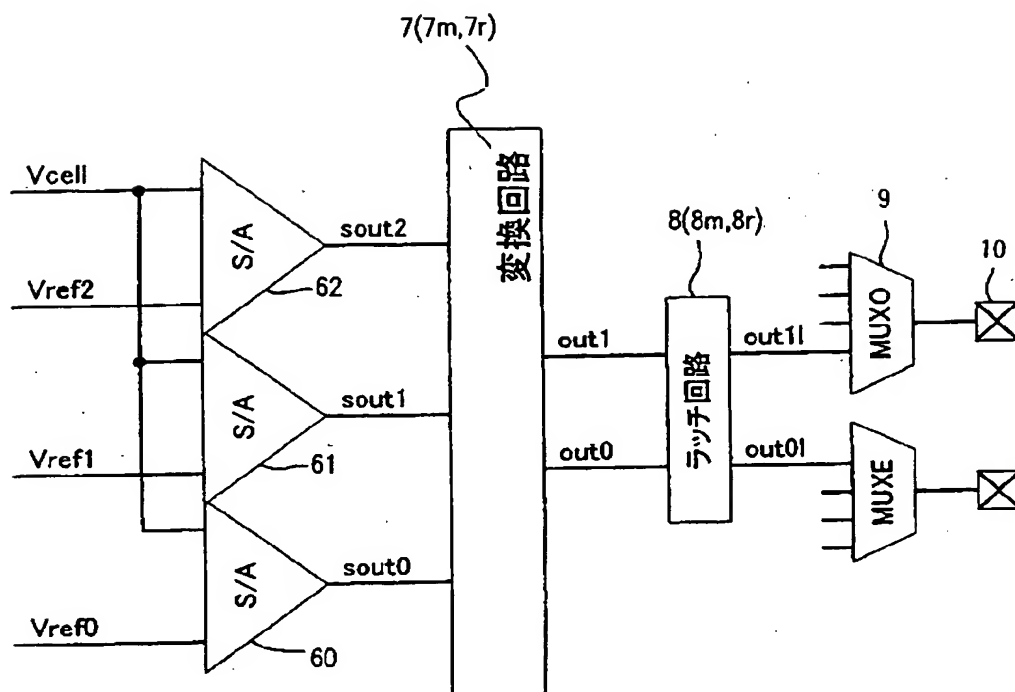


2

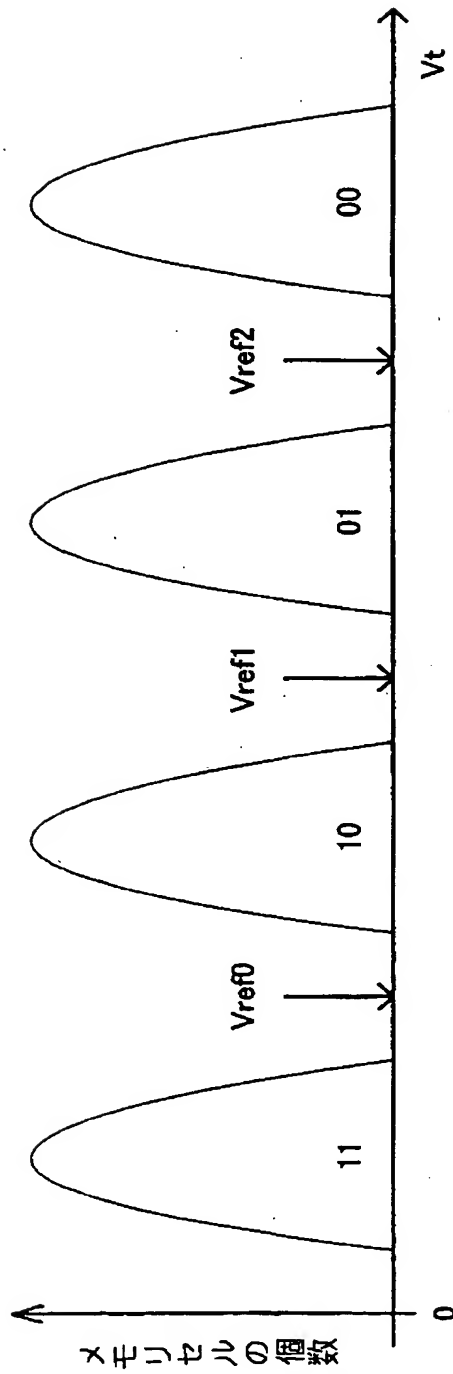
【図 4】



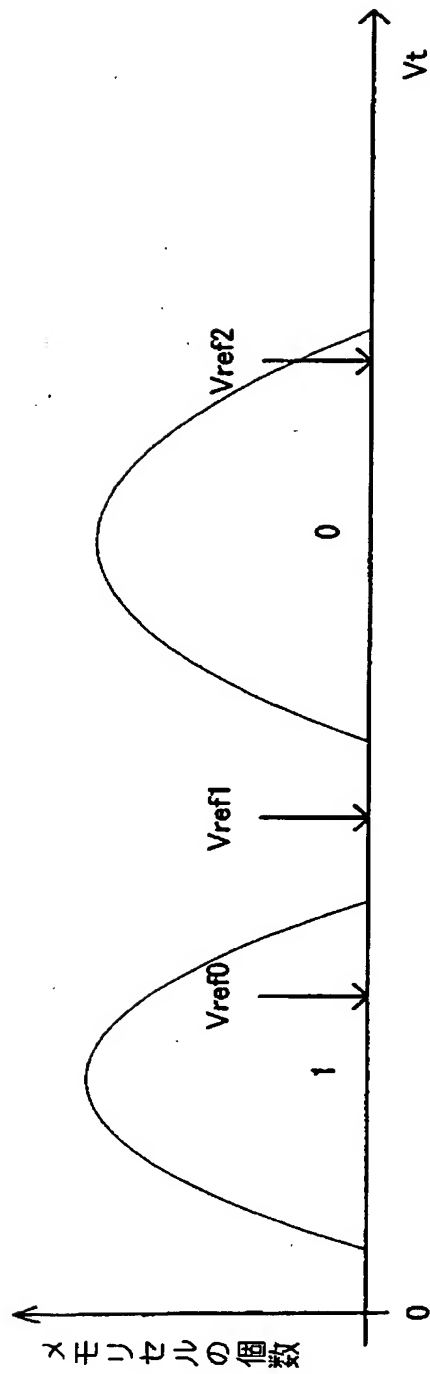
【図 5】



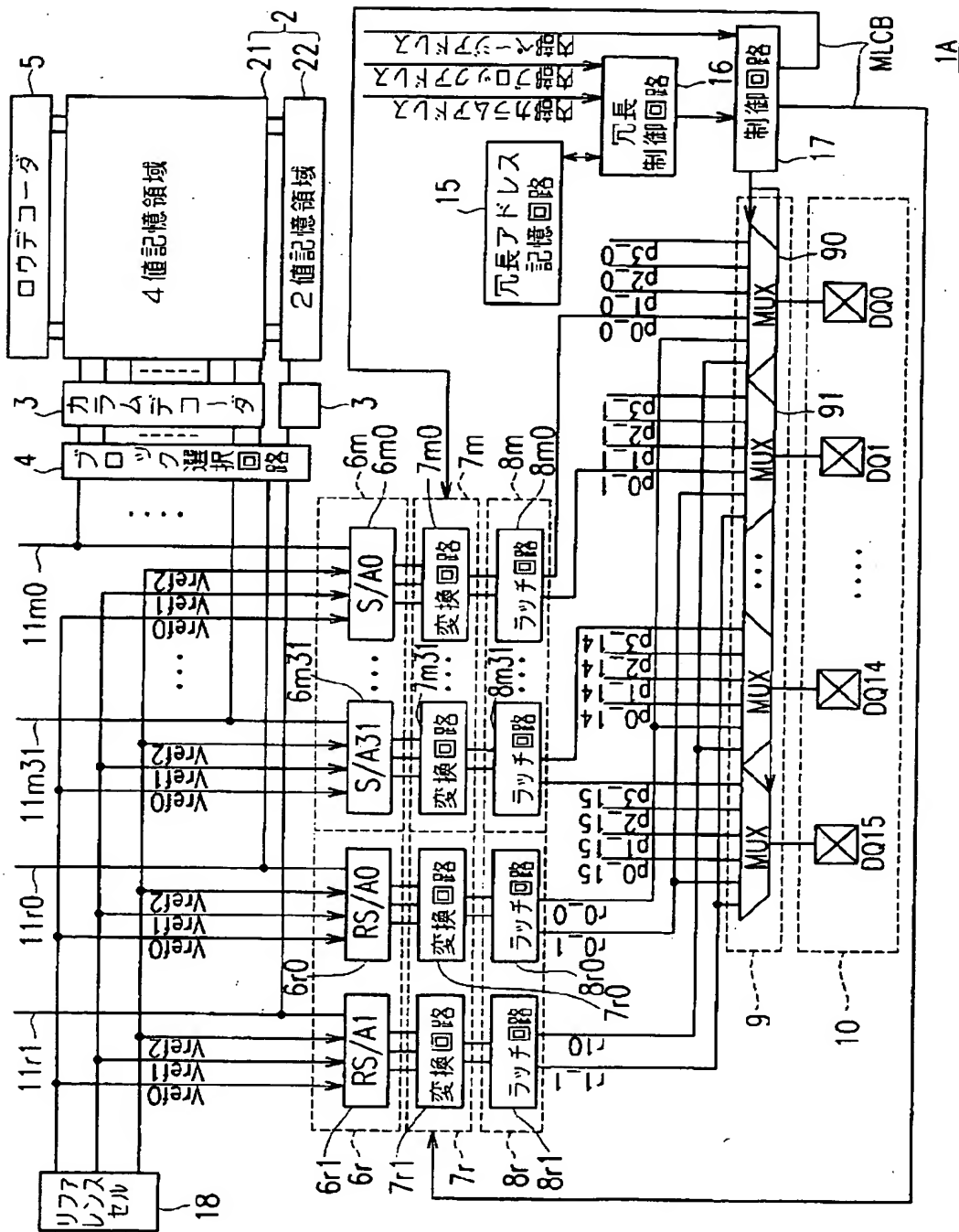
【図 6】



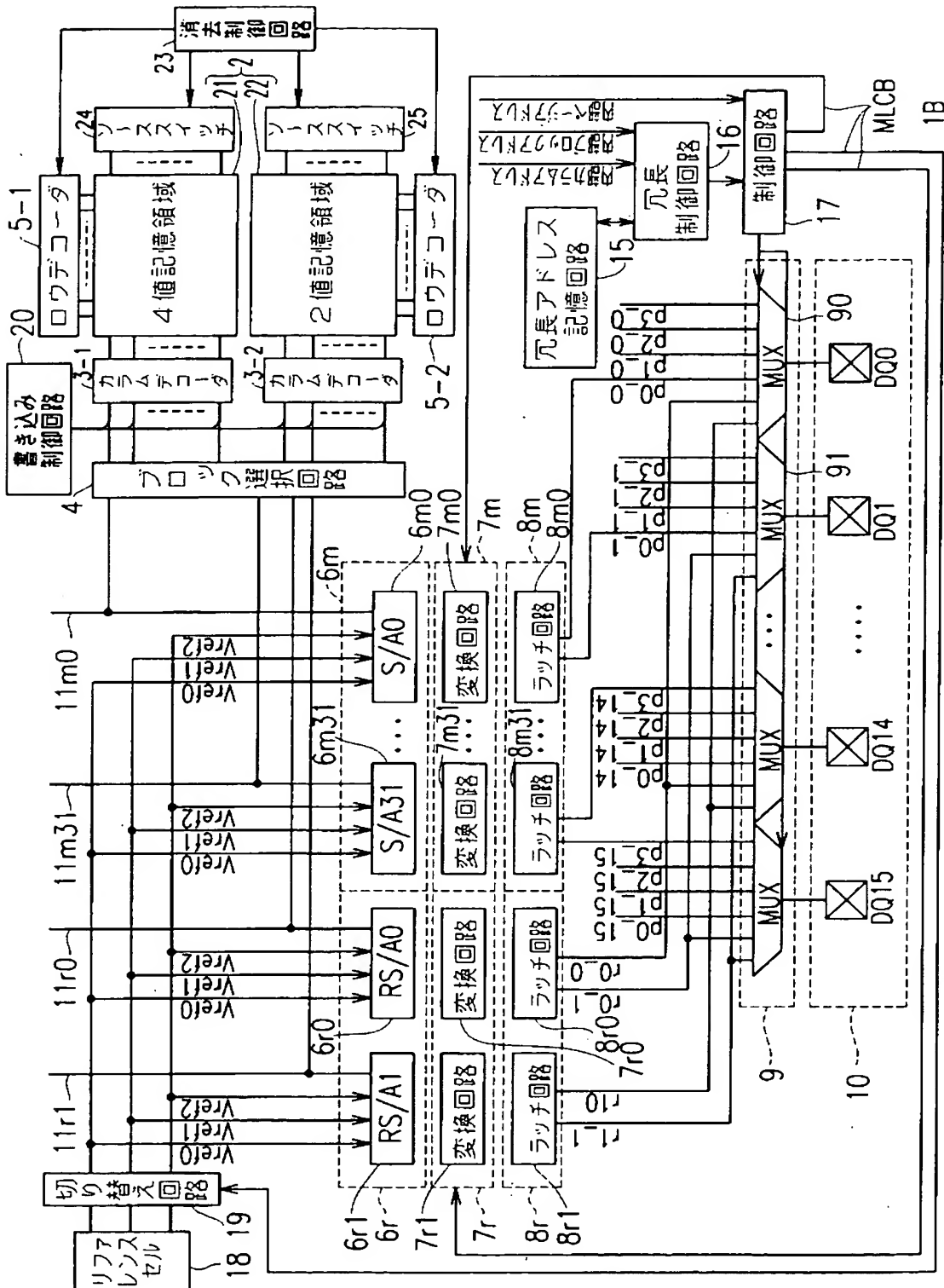
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 半導体チップの占有面積の点でも、消費電力の点でも有利である。

【解決手段】 2 値記憶領域 2 2 からのデータ読み出し時と、4 値記憶領域 2 1 からのデータ読み出し時とで、共通のセンスアンプ 6 m に入力される参照電位を、切り替え手段 1 9 によって切り替える。変換手段 7 m は、センスアンプ 6 m からの比較結果を読み出しデータに変換する際に、4 値記憶領域 2 1 からの読み出し時と 2 値記憶領域 2 2 からの読み出し時とで、読み出しデータを切り替えて出力する。2 値記憶領域 2 2 の読み出し時には、センスアンプ 6 m からの 3 ビット出力のうち、有意な出力レベルは 1 ビットだけであるため、変換回路 7 m では、センスアンプ 6 m からの 3 ビット出力を 2 ビット信号に変換する際に、その 2 ビット信号を有意な 1 ビットの出力レベルと等しくする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-148335
受付番号	50300872323
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 15 年 5 月 29 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005049
【住所又は居所】	大阪府大阪市阿倍野区長池町 22 番 22 号
【氏名又は名称】	シャープ株式会社
【代理人】	申請人
【識別番号】	100078282
【住所又は居所】	大阪市中央区城見 1 丁目 2 番 27 号 クリスタル タワー 15 階
【氏名又は名称】	山本 秀策

【選任した代理人】

【識別番号】	100062409
【住所又は居所】	大阪府大阪市中央区城見 1 丁目 2 番 27 号 クリ スタルタワー 15 階 山本秀策特許事務所
【氏名又は名称】	安村 高明

【選任した代理人】

【識別番号】	100107489
【住所又は居所】	大阪市中央区城見一丁目 2 番 27 号 クリスタル タワー 15 階 山本秀策特許事務所
【氏名又は名称】	大塩 竹志

次頁無

特願 2 0 0 3 - 1 4 8 3 3 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社